

(19) Japanese Patent Office (JP)

(12) Official Gazette for Kokai Patent Applications (A)

(11) Japanese Patent Application Kokai Publication No. S57-14922

(51) Int. Cl. ³	Identification Symbol	JPO File Number
G 06 F 1/04		6974-5B
13/00		7361-5B

(43) Kokai Publication Date: January 26, 1982

Number of Inventions: 1

Request for Examination: Not Submitted

(Total of 3 pages in the original Japanese)

(54) Memory storage device

(21) Patent Application Filing Number: S55-89232

(22) Patent Application Filing Date: July 2, 1980

(72) Inventor: Junichi Taguri

c/o Hitachi, Ltd., Kanagawa Plant

1 Horiyamashita, Hadano City

(71) Applicant: Hitachi, Ltd.

1-5-1 Marunouchi, Chiyoda-ku, Tokyo

(74) Agent: Toshiyuki Susukida, Patent Attorney

Specification

1. Title of the Invention

Memory storage device

2. Claims

In a memory storage device that operates synchronized to the master clock of a central processing unit, a memory storage device characterized by the fact that multiple groups of

a clock selector that selects from the above-mentioned master clock an interface signal receiving and sending clock, and due to the fact that the selection conditions of said clocks are established from the outside,

a configuration control register that controls the above-mentioned clock selector by said selection conditions are provided.

3. Detailed Description of the Invention

The present invention relates to a memory storage device (hereafter referred to as "MS"), particularly, one related to an MS that can freely select the receiving and sending clocks of the interface signal.

In an MS that carries out the receiving and sending operations of the interface signal synchronized with the master clock of the central processing unit (hereafter referred to as "CPU"), taking into consideration the delay due to the machine cycles of the CPU, as well as the length of the cable between the CPU and the MS, and the like, the transfer time between the CPU and the MS is decided among any of 1/4, 2/4, 3/4 or 4/4 machine cycles, and the like.

After that, the MS decides the interface signal receiving and sending clock based on the sending and receiving time of the interface signal in the CPU, and furthermore, the transfer time decided as mentioned above.

FIG. 1 is a connection diagram of the conventional MS and CPU.

In MS1 an interface receiving latch 2, an interface sending latch 3, a control part 4 and a memory part 5 are provided and connected to the CPU 6 via the interface receiving latch 2 and sending latch 3.

The n interface signals S_i ($1 - n$) transferred from the CPU 6 are latched to the interface receiving latch 2 by the respective clock signals ti . The control part 4 and the memory part 5 operate according to this latch information.

The interface sending latch 3 sends the report information of this series of operations to the CPU 6 as m interface signals S_o ($1 - m$) according to the clock signal tj .

In the case of FIG. 1, as for the latch clocks ti , tj of the interface receiving latch 2 and the interface sending latch 3, the respective clocks divided from the clock generating part 10 of the CPU 6 are used, and with respect to the sending and receiving clocks of the

interface signal in the CPU 6, clocks that have shifted only the transfer time ($1/4$, $2/4$, $3/4$ or $4/4$ machine cycles, and the like) between the CPU 6 and the MS1 are used.

In this way, because up to now the interface signal receiving and sending clocks in the MS are fixed by the hardware, when a change of the machine cycle and a change of the connection group length has occurred, a large scale change of the hardware is necessary. Furthermore, sharing the MS is impossible by other CPUs which have different machine cycles or connection cable lengths, and a MS becomes exclusively used for a specific CPU.

The purpose of the present invention is to offer an MS that gives a logical degree of freedom to the time relationship of the interface system and makes possible a connection to many types of CPUs that have different machine cycles as well as a change of the time relationship of the interface system, without changing the hardware, in order to solve the above-mentioned conventional problem.

The MS of the present invention is characterized by the fact that it provides multiple selectors for selecting clocks that decide the timing of the receiving and sending of the interface signal, and forming a pair with these selectors, configuration control registers that control the selection condition of the selectors, and select the interface signal receiving and sending clocks by writing control information from the outside to these configuration control registers.

Below, the embodiment of the present invention is explained by means of FIG. 2.

MS1, the same as formerly, provides an interface receiving latch 2, an interface sending latch 3, a control part 4 and a memory part 5 connected to a CPU 6. The n interface signals S_i ($1 - n$) sent from the CPU 6 are latched to the interface receiving latch 2 by each clock signal ti . The control part 4 and the memory part 5 operate according to this latch information.

The interface receiving latch 3 sends the report information of this series of operations to the CPU 6 as m interface signals $S_o(1 - m)$ by means of a clock signal tj .

MS1, besides these, is provided with a configuration control register 7 and a clock selector 8, and the latch clocks of the interface receiving latch 2 and the interface sending latch 3 each receive the clocks ti or tj logically selected by the clock selector 8. Furthermore, the logical clock selection based on this clock selector 8 is controlled by the configuration control register 7. Furthermore, the writing in of the selection conditions to the configuration control register 7 can be executed by various methods such as scanning in or the operation of a switch of a panel.

Furthermore, with respect to the input/output interface signals, multiple sets of the configuration control register 7 and the clock selector 8 of these have been prepared, and by the writing in to each configuration control register 7, logically and freely selecting the receiving and sending clocks of the interface signal is possible.

As explained above, according to the present invention, because the receiving and sending clocks of the interface signals of the MS can be logically and freely selected, the sharing of the MS by CPUs that have different machine cycles or connection cable

lengths is possible, and in the state of being connected to a specific CPU, there is no necessity to change the hardware at the time of a change of the machine cycles, a change of the connection cable length, or a change of the performance of the memory device. Moreover, the clock signal can be changed experimentally, and a marginal test of the interface signal can be carried out simply.

4. Brief Description of the Drawings

FIG. 1 is a connection diagram of the conventional MS and CPU; FIG. 2 is a connection diagram of the MS and CPU that shows the embodiment of the present invention.

- 1 memory storage device (MS)
- 2 interface receiving latch
- 3 interface sending latch
- 4 control part
- 5 memory part
- 6 central processing unit (CPU)
- 7 configuration control register
- 8 clock selector
- 10 clock generating part
- to - 3 master clock
- $S_i(1 - n)$ interface receiving signal
- $S_i(1 - m)$ interface sending signal

Agent: Toshiyuki Susukida, Patent Attorney

FIG. 1

FIG. 2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-14922

⑪ Int. Cl.³
G 06 F 1/04
13/00

識別記号

庁内整理番号
6974-5B
7361-5B

⑬ 公開 昭和57年(1982)1月26日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 記憶装置

① 特 願 昭55-89232
② 出 願 昭55(1980)7月2日
③ 発 明 者 田栗順一
桑野市堀山下1番地株式会社日

立製作所神奈川工場内
④ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑤ 代 理 人 弁理士 薄田利幸

明 細 書

- 1 発明の名称 記憶装置
- 2 特許請求の範囲

中央処理装置の基本クロックに同期して動作する記憶装置において、インタフェース信号の受信および送信のクロックを上記基本クロックから選択するクロック・セレクタと、該クロックの選択条件が外部から設定されることにより該選択条件で上記クロック・セレクタを制御する構成制御レジスタとを、複数組設けることを特徴とする記憶装置。

- 3 発明の詳細な説明

本発明は、記憶装置(以下NSと記す)に關し特にインタフェース信号の受信および送信クロックを自由に選択できるNSに關するものである。

中央処理装置(以下CPUと記す)の基本クロックに同期してインタフェース信号の受信および送信動作を行うNSにおいては、CPUのマシンサイクル、およびCPUとNSの間のケーブル長等による遅れを考慮して、CPUとNS間の伝送時間

を、 $\frac{1}{4}$ 、 $\frac{2}{4}$ 、 $\frac{3}{4}$ 、または $\frac{4}{4}$ マシン・サイクル等のうちの何れかに決定している。

それから、NSはCPUに對するインタフェース信号の送信および受信時間と、さらに前述のように決定された伝送時間により、インタフェース信号の受信および送信クロックを決定する。

第1図は、従来のNSとCPUの接続図である。

NS1には、インタフェース受信ラッチ2、インタフェース送信ラッチ3、制御部4および記憶部5が設けられ、インタフェース受信ラッチ2と送信ラッチ3を介してCPU6に接続される。

CPU6から伝送される、本のインタフェース信号S(1-0)は、各々クロック信号11でインタフェース受信ラッチ2にラッチされる。このラッチ情報により、制御部4および記憶部5が動作する。

インタフェース送信ラッチ3は、この一連の動作の報告情報をクロック信号11により、本のインタフェース信号S(1-0)としてCPU6に送信する。

図1図の場合、インタフェース受信ラッチ2およびインタフェース送信ラッチ3のラッチ。クロック11、12は、各々CPU6のクロック発生部10から分配されたクロックが使用され、CPU6におけるインタフェース信号の送信および受信クロックに対し、CPU6とMS1間の伝送時間(1/4、1/2、3/4または1 マシン・サイクル等)だけずらしたクロックが用いられる。

このように、従来は、MSにおけるインタフェース信号の受信および送信のクロックが、ハードウェアにより固定されているため、マシン・サイクルの変更、接続ケーブル長の変更が発生した場合、ハードウェアの大幅な変更が必要である。また、マシン・サイクルまたは接続ケーブル長の異なる他のCPUからMSを共用することが不可能であり、MSは特定のCPU専用になっていた。

本発明の目的は、このような従来の問題を解決するため、インタフェース系の時間関係に論理的な自由度を与え、ハードウェアを変更する

ことなくマシン・サイクルの異なる複数のCPUへの接続、およびインタフェース系の時間関係の変更を可能にしたMSを提供することにある。

本発明のMSは、インタフェース信号の受信および送信のタイミングを決定する複数のクロック選択用セレクタと、これらのセレクタと対をなし、かつセレクタの選択条件を制御する構成制御レジスタを設け、この構成制御レジスタに外部から制御情報を書き込むことにより、インタフェース信号の受信、送信クロックを選択することを特徴としている。

以下、本発明の実施例を、第2図により説明する。

MS1は、従来と同じく、インタフェース受信ラッチ2、インタフェース送信ラッチ3、制御部4および記憶部5を備え、CPU6に接続される。CPU6から伝送された、本インタフェース信号S1(1-0)は、各々クロック信号11でインタフェース受信ラッチ2にラッチされる。このラッチ情報により、制御部4および記憶部5が動作

する。

インタフェース送信ラッチ3は、この一連の動作の報告情報を、クロック信号12により、本インタフェース信号S1(1-n)としてCPU6に送信する。

MS1は、これらの他に構成制御レジスタ7およびクロック・セレクタ8を備えており、インタフェース受信ラッチ2およびインタフェース送信ラッチ3のラッチ。クロックは、各々クロック・セレクタ8により論理的に選択されたクロック11または12を受ける。また、このクロック・セレクタ8による論理的なクロック選択は構成制御レジスタ7により制御される。さらに構成制御レジスタ7への選択条件の書き込みはスイッチ、インまたはパネルのスイッチ操作等の種々の方法により実行可能である。

なお、入出力インタフェース信号に対し、これらの構成制御レジスタ7、クロック・セレクタ8は複数組用意されており、各々構成制御レジスタ7への書き込みにより、インタフェース

信号の受信および送信クロックを論理的に自由に選択することが可能である。

以上説明したように、本発明によれば、MSのインタフェース信号の受信および送信クロックを論理的に自由に選択できるため、マシン・サイクルまたは接続ケーブル長の異なる他のCPUによるMSの共用が可能であり、また特定のCPUと接続された状態では、マシン・サイクルの変更、接続ケーブル長の変更、あるいはメモリ素子の性能変更の際に、ハードウェアを変更する必要がない。さらに、試験的にクロック信号を変更して、インタフェース信号のマージナル試験を簡単に行うことができる。

4 図面の簡単な説明

図1図は従来のMSとCPUとの接続図、第2図は本発明の実施例を示すMSとCPUとの接続図である。

1...記憶装置(MS) 2...インタフェース受信ラッチ
3...インタフェース送信ラッチ

- 4 ... 制御部 5 ... 記憶部
- 6 ... 中央処理装置 (CPU)
- 7 ... 構成制御レジスタ 8 ... クロック・セレクタ
- 9 ... クロック発生部
- 10-3 ... 基本クロック
- Si (1-a) ... インタフェース受信信号
- Si (1-a) ... インタフェース送信信号

代理人弁護士 澤田利幸

図1

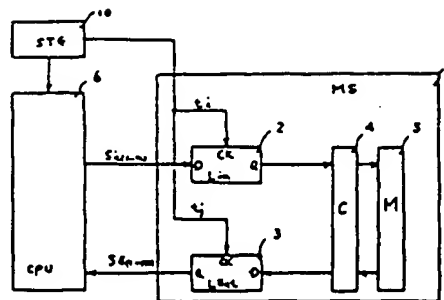


図2

